

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-053680

(43)Date of publication of application : 05.03.1993

(51)Int.Cl. G06F 1/04

G06F 1/32

(21)Application number : 03-211690 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.08.1991 (72)Inventor : SANO YOSHINOBU

(54) POWER CONTROLLER FOR COMPUTER

(57)Abstract:

PURPOSE: To prevent the complexity of the control and to realize the low-power consumption of the device by operating the system by the proper clock according to the operational state of the system.

CONSTITUTION: A clock selection circuit 15 switches a selector 19 to a 1MHz oscillator 21 when a processor state signal (p) is in an idle state, an interrupt signal (i) is inputted, and a signal is inputted from a system bus monitoring circuit 17. Then, a clock control part 11 supplies a 1MHz-clock frequency system clock (s) to a processor 1, a main memory 5, and an I/O control part 7. In this case, when the processor 1 executes the process, the clock selection circuit 15 switches the selector 19 to a 10MHz oscillator 23 when an interruption is generated in the I/O control part 7 or when a system bus 3 is used for data transfer. Then the clock control part 11 supplies the 1MHz-clock frequency system clock (s) to the processor 1, main memory 5, and I/O control part 7.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not
reflect

the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the power control unit of the computer by which the power consumption supplied to a computer is proportional to a clock frequency A high clock frequency supply means to supply a high clock frequency to said computer, A low clock frequency supply means to supply a low clock frequency to said computer, A monitor means to supervise the existence of the bus busy signal of the system bus of said calculating machine, the existence of actuation of the processor of the calculating machine concerned, and the existence of generating of interruption of the calculating machine concerned, A low clock frequency selection means to choose said low clock frequency supply means with this monitor means in the case of nothing of the bus busy signal of the system bus of a calculating machine, actuation of a processor, and generating of interruption, The power control unit of the calculating machine characterized by having a high clock frequency selection means to choose said high clock frequency supply means with said monitor means when either actuation of the bus busy signal of

the system bus of a calculating machine and a processor and generating of interruption are **.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the power control unit of the computer which attains low-power-ization of the computer which has the logical circuit which consisted of CMOS.

[0002]

[Description of the Prior Art] In recent years, while the drive of a minicomputer, control devices, etc., such as a personal computer, is attained with low power, such as a dc-battery, by attaining low-power-ization, it becomes extensible [the operating time] and improvement in the quality of equipment is achieved. Moreover, by attaining low-power-ization, operation of what has required

forced-air cooling is attained with natural air cooling, and a minicomputer's improves the convenience of equipment.

[0003] In order to attain the above-mentioned low-power-ization, the conventional computer promoted the change from low-power-ization of components, for example, IC of a logical circuit, to CMOS-ization. Moreover, if an operator does not use the monitor of an operator's actuation situation, for example, the keyboard of a personal computer, for a calculating machine for a while, low-power-ization is attained by controlling a clock frequency or operating voltage. Although low-power-ization could be attained with the operating system of single tasks, such as a personal computer, for example, MS-DOS, by the monitor of the above-mentioned operator's actuation situation, it was not easy to attain low-power-ization in the operating system (henceforth OS) of multitasking.

[0004]

[Problem(s) to be Solved by the Invention] However, since two or more tasks exist under OS of multitasking, or a network environment, the data of the power control unit of the conventional calculating machine for controlling each task increase in number, and it invites complicated-ization of control. Moreover, in order to attain low-power-ization of the task of one among two or more tasks, when other tasks were doubled with the same clock frequency, there was a problem which has a bad influence on control of other tasks.

[0005] It is made in order that this invention may solve such a conventional technical problem, and the purpose is in offering the power control unit of the computer which improves the convenience and quality of equipment by preventing complicated-ization of control and attaining low-power-ization of equipment under OS of multitasking, and a network environment.

[0006]

[Means for Solving the Problem] In the power control unit of the computer by which the power consumption which supplies this invention to a computer in order to attain the above-mentioned purpose is proportional to a clock frequency A high clock frequency supply means to supply a high clock frequency to said computer, A low clock frequency supply means to supply a low clock frequency to said computer, A monitor means to supervise the existence of the bus busy signal of the system bus of said calculating machine, the existence of actuation of the processor of the calculating machine concerned, and the existence of generating of interruption of the calculating machine concerned, A low clock frequency selection means to choose said low clock frequency supply means with this monitor means in the case of nothing of the bus busy signal of the system bus of a calculating machine, actuation of a processor, and generating of interruption, Let it be a summary to have had a high clock frequency selection means to choose said high clock frequency supply means with said monitor

means when either actuation of the bus busy signal of the system bus of a calculating machine and a processor and generating of interruption are **.

[0007]

[Function] If constituted like ****, the existence of the bus busy signal of the system bus of a calculating machine, the existence of actuation of the processor of the calculating machine concerned, and the existence of generating of interruption of the calculating machine concerned will be supervised. A low clock frequency supply means to supply a low clock frequency by this monitor at a calculating machine in the case of nothing of the bus busy signal of the system bus of a calculating machine, actuation of a processor, and generating of interruption is chosen. Since a high clock frequency supply means to supply a high clock frequency to a calculating machine by the monitor on the other hand when either actuation of the bus busy signal of the system bus of a calculating machine and a processor and generating of interruption are ** is chosen, low-power-ization of equipment can be attained.

[0008]

[Example] Hereafter, one example of this invention is explained based on a drawing.

[0009] Drawing 1 is the block diagram showing control of one example concerning the power control unit of the calculating machine of this invention.

[0010] In this drawing, a processor 1 controls various kinds of processes, and outputs them to the clock control section 11 which mentions later the processor condition signal P which shows the busy condition or idle state of each process with an operating system (henceforth OS). In addition, the power consumption of the logical circuit where the above-mentioned processor 1 grade consists of CMOS synchronizing with a system clock is proportional to a clock frequency mostly.

[0011] A system bus 3 is a path to which data, a control signal, etc. by processor 1 grade are transmitted, and if used by the processor 1 grade concerned, it will be outputted to the clock control section 11 which mentions the bus busy signal b later.

[0012] Main memory 5 memorizes the program and various kinds of data in which actuation of a processor 1 is shown to the predetermined address.

[0013] The IO control section 7 controls the below-mentioned peripheral device 9 by the command of a processor 1, and has the function of the Direct Memory Access (DMA) which carries out direct access of the peripheral device 9 concerned etc. If the signal of an I/O termination is inputted from a peripheral device 9, the above-mentioned IO control section 7 will generate interruption, and will output interrupt signal i to a processor 1 and the below-mentioned clock control section 11.

[0014] Peripheral devices 9 are a magnetic disk drive, a display, a communication controller, etc., and are controlled by the IO control section 7.

[0015] The clock control section 11 chooses the 1MHZ oscillator 21 or the 10MHZ oscillator 23 which answers the bus busy signal b inputted from the process condition signal p inputted from a processor 1, and a system bus 3, and interrupt signal i, and is mentioned later, and supplies a system clock s to a processor 1, main memory 5, and the IO control section 7.

[0016] LAN13 is connected to a system bus 3, and transmission and reception of the data between each terminal are performed.

[0017] Drawing 2 is the block diagram showing the control of the clock control section 11 mentioned above.

[0018] The above-mentioned clock control section 11 is equipped with the clock selection circuitry 15, the system bus supervisory circuit 17, the selector 19, the 1MHZ oscillator 21, and the 10MHZ oscillator 23.

[0019] The clock selection circuitry 15 controls a selector 19 by the bus busy signal b inputted from interrupt signal i inputted from the processor condition signal p inputted from a processor 1, and the IO control section 7, and the system bus supervisory circuit 17. The above-mentioned system bus supervisory circuit 17 detects the bus busy signal b acquired from a system bus 3, when a processor 1 uses a peripheral device 9 and the system bus 3

concerned and data transfer is carried out into fixed time amount from the system bus 3. If the bus busy signal b is detected in fixed time amount, the system bus supervisory circuit 17 will output a signal to the clock selection circuitry 15.

[0020] Here, fixed time amount for the system bus supervisory circuit 17 to detect the bus busy signal b from a system bus 3 is time amount which changes with specifications of a computer.

[0021] The processor condition signal p is an idle state, and the above-mentioned clock selection circuitry 15 switches a selector 19 to the 1MHZ oscillator 21, when interrupt signal i is not inputted and the bus busy signal b is not inputted from the system bus supervisory circuit 17. On the other hand, if either of the inputs of busy condition and interrupt signal i or inputs of the signal from the system bus supervisory circuit 17 of the processor condition signal p is inputted, the clock selection circuitry 15 will switch a selector 19 to the 10MHZ oscillator 23.

[0022] In addition, the above-mentioned clock selection circuitry 15 is the configuration of the AND circuit which takes the AND of the signal from the process condition signal p, interrupt signal i, and the system bus supervisory circuit 17.

[0023] A selector 19 answers change control of the clock selection circuitry 15,

and outputs the system clock s of the clock frequency of the 1MHZ oscillator 21 or the 10MHZ oscillator 23 to BUROSESSA 1 grade.

[0024] The 1MHZ oscillator 21 works processor 1 grade with several [1/] of the clock frequencies of the highest clock frequency of the below-mentioned 10MHZ oscillator 23, in order to stop power consumption, when a processor 1 performs neither of the processes, and an interrupt does not occur in the IO control section 7 and there is also no data transfer.

[0025] The 10MHZ oscillator 23 supplies the highest clock frequency to processor 1 grade by the selector 19, when the processor 1 is performing the process, and the processor 1 is performing data transfer with a peripheral device 9.

[0026] Next, an operation of this example is explained.

[0027] First, the clock selection circuitry 15 of the clock control section 11 takes to a computer the AND of the existence of the input of interrupt signal i from the busy condition of the processor condition signal p inputted from a processor 1 or an idle state, and the IO control section 7, and the existence of an input of the signal from the system bus supervisory circuit 17 after powering on. When idle state and interrupt signal i is inputted for the above-mentioned processor condition signal p and the signal is inputted from the system bus supervisory circuit 17, the clock selection circuitry 15 switches a selector 19 to the 1MHZ

oscillator 21. If a selector 19 is switched to the 1MHZ oscillator 19, the clock control section 11 will supply the system clock S of the clock frequency of 1MHZ to a processor 1, main memory 5, and the IO control section 7.

[0028] When the system clock S of the clock frequency of 1MHZ is supplied from the 1MHZ oscillator 21 and a processor 1 performs a process, if a system bus 3 is made available for data transfer when an interrupt occurs in the IO control section 7 or, the clock selection circuitry 15 will switch a selector 19 to the 10MHZ oscillator 23. If a selector 19 is switched to the 10MHZ oscillator 23, the clock control section 11 will supply the system clock s of the clock frequency of 10MHZ(s) to a processor 1, main memory 5, and the IO control section 7.

[0029] Since it switches to the 10MHZ oscillator 23 of the highest clock frequency by this when the processor 1 is performing the process to the 1MHZ oscillator 21 of about 1/10 of the power consumption of the 10MHZ oscillator 23 when the processor 1 is not performing the process, low-power-ization of equipment is realizable.

[0030] Moreover, since the system operating status of a processor 1 and system bus 3 grade is answered and equipment is operated with a suitable clock, complicated-ization of control can be prevented under OS of multitasking, and a network environment.

[0031] This example is applicable to a personal computer equipped with the

logical circuit which consists of CMOS, a workstation, and various kinds of control units.

[0032]

[Effect of the Invention] As explained above, since the system operating status of a system is answered and a system is operated with a suitable clock, by this invention, the convenience of equipment and improvement in quality are realizable by preventing complicated-ization of control and attaining low-power-ization of equipment under OS of multitasking, and a network environment.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram showing one example concerning the

power control unit of the computer of this invention.

[Drawing 2] It is the block diagram showing control of the clock control section.

[Description of Notations]

1 Processor

3 System Bus

7 IO Control Section

11 Clock Control Section

15 Clock Selection Circuitry

17 System Bus Supervisory Circuit

19 Selector

21 1MHZ Oscillator

23 10MHZ Oscillator

i Interrupt signal

p Processor condition signal

s System clock

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-53680

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.⁵

G 0 6 F 1/04
1/32

識別記号

3 0 1 C

庁内整理番号

7368-5B

7832-5B

F I

技術表示箇所

G 0 6 F 1/ 00

3 3 2 Z

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-211690

(22)出願日 平成3年(1991)8月23日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 佐野 義信

東京都府中市東芝町1番地 株式会社東芝

府中工場内

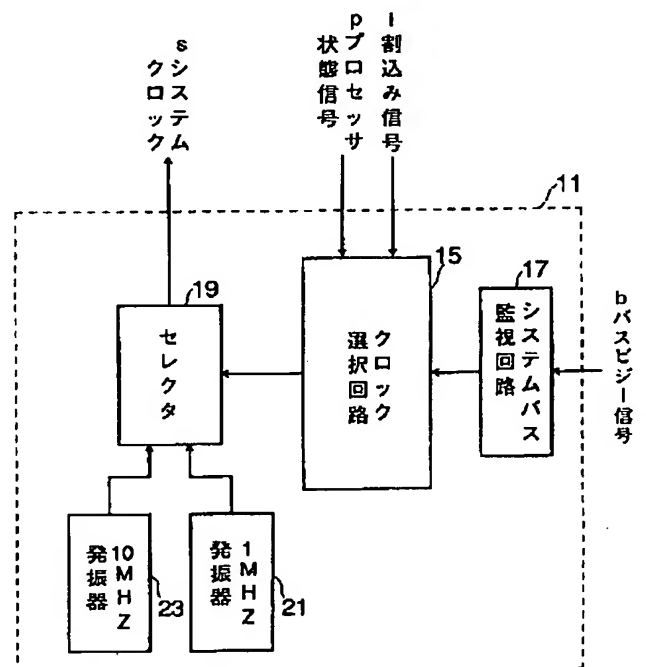
(74)代理人 弁理士 三好 秀和 (外4名)

(54)【発明の名称】 計算機の電力制御装置

(57)【要約】 (修正有)

【目的】 マルチタスクのOSおよびネットワーク環境下において、制御の煩雑化を防止して装置の低消費電力化を図る。

【構成】 消費電力がクロック周波数に比例する計算機の電力制御装置において、計算機に高クロック周波数を供給する高クロック周波数供給手段23と、低クロック周波数を供給する低クロック周波数供給手段21と、システムバスのバスビジー信号bの有無、プロセッサの動作の有無pおよび割込みの発生の有無iを監視する監視手段17と、この監視手段により計算機のバスビジー信号、プロセッサの動作、且つ、割込みの発生の場合に低クロック周波数供給手段を選択する低クロック周波数選択手段15と、計算機のバスビジー信号、プロセッサの動作および割込みの発生のいずれかが有の場合に高クロック周波数供給手段を選択する高クロック周波数選択手段19と、を備えたことを特徴としている。



【特許請求の範囲】

【請求項 1】 計算機に供給する消費電力がクロック周波数に比例する計算機の電力制御装置において、前記計算機に高クロック周波数を供給する高クロック周波数供給手段と、前記計算機に低クロック周波数を供給する低クロック周波数供給手段と、前記計算機のシステムバスのバスビジー信号の有無、当該計算機のプロセッサの動作の有無および当該計算機の割込みの発生の有無を監視する監視手段と、この監視手段により計算機のシステムバスのバスビジー信号、プロセッサの動作、且つ、割込みの発生の無の場合に前記低クロック周波数供給手段を選択する低クロック周波数選択手段と、前記監視手段により計算機のシステムバスのバスビジー信号、プロセッサの動作および割込みの発生のいずれかが有の場合に前記高クロック周波数供給手段を選択する高クロック周波数選択手段と、を備えたことを特徴とする計算機の電力制御装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、CMOSで構成された論理回路を有する計算機の低消費電力化を図る計算機の電力制御装置に関する。

【0002】

【従来の技術】 近年、パソコン等の小型計算機および制御装置等は、低消費電力化を図ることによりバッテリー等の低電力で駆動可能になるとともに、動作時間を延長可能になり、装置の品質の向上が図られている。また、低消費電力化を図ることにより、小型計算機は、強制空冷が必要であったものが、自然空冷により稼働可能になり、装置の利便性を向上する。

【0003】 上記低消費電力化を図るため、従来の計算機は、部品の低消費電力化、例えば、論理回路のICからCMOS化に切換えを推進した。また、計算機にオペレータの操作状況の監視、例えば、パソコンのキーボードを暫くの間、オペレータが使用しなければクロック周波数または動作電圧等を制御することにより低消費電力化を図っている。上記オペレータの操作状況の監視によりパソコン等のシングルタスクのオペレーティングシステム、例えば、MS-DOSでは低消費電力化を図れるが、マルチタスクのオペレーティングシステム（以下、OSという。）等では低消費電力化を図るのが容易ではなかった。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の計算機の電力制御装置は、マルチタスクのOSまたはネットワークの環境下において、複数のタスクが存在するため、各タスクを制御するためのデータが多くなり制御の煩雑化を招来する。また、複数のタスクのうち、1の

タスクの低消費電力化を図るため、他のタスクも同一のクロック周波数に合わせると他のタスクの制御に悪影響を及ぼす問題があった。

【0005】 本発明は、このような従来の課題を解決するためになされたものであり、その目的は、マルチタスクのOSおよびネットワーク環境下において、制御の煩雑化を防止して装置の低消費電力化を図ることにより、装置の利便性および品質を向上する計算機の電力制御装置を提供することにある。

【0006】

【課題を解決するための手段】 上記目的を達成するため、本発明は、計算機に供給する消費電力がクロック周波数に比例する計算機の電力制御装置において、前記計算機に高クロック周波数を供給する高クロック周波数供給手段と、前記計算機に低クロック周波数を供給する低クロック周波数供給手段と、前記計算機のシステムバスのバスビジー信号の有無、当該計算機のプロセッサの動作の有無および当該計算機の割込みの発生の有無を監視する監視手段と、この監視手段により計算機のシステムバスのバスビジー信号、プロセッサの動作、且つ、割込みの発生の無の場合に前記低クロック周波数供給手段を選択する低クロック周波数選択手段と、前記監視手段により計算機のシステムバスのバスビジー信号、プロセッサの動作および割込みの発生のいずれかが有の場合に前記高クロック周波数供給手段を選択する高クロック周波数選択手段と、を備えたことを要旨とする。

【0007】

【作用】 上述の如く構成すれば、計算機のシステムバスのバスビジー信号の有無、当該計算機のプロセッサの動作の有無および当該計算機の割込みの発生の有無を監視する。この監視により計算機のシステムバスのバスビジー信号、プロセッサの動作、且つ、割込みの発生の無の場合に計算機に低クロック周波数を供給する低クロック周波数供給手段を選択する。一方、監視により計算機のシステムバスのバスビジー信号、プロセッサの動作および割込みの発生のいずれかが有の場合に計算機に高クロック周波数を供給する高クロック周波数供給手段を選択するので、装置の低消費電力化を図ることができる。

【0008】

【実施例】 以下、本発明の一実施例を図面に基づいて説明する。

【0009】 図1は本発明の計算機の電力制御装置に係る一実施例の制御を示すブロック図である。

【0010】 同図において、プロセッサ1は、各種のプロセスを制御するものであり、オペレーティングシステム（以下、OSという。）により各プロセスのビジー状態またはアイドル状態を示すプロセッサ状態信号Pを後述するクロック制御部11に出力する。なお、上記プロセッサ1等はシステムクロックに同期して、CMOSで構成される論理回路の消費電力がクロック周波数にほぼ

比例する。

【0011】システムバス3は、プロセッサ1等によるデータおよび制御信号等を転送する通路であり、当該プロセッサ1等により使用されるとバスビジー信号bを後述するクロック制御部11に出力する。

【0012】主メモリ5は、プロセッサ1の動作を示すプログラムおよび各種のデータを所定アドレスに記憶する。

【0013】IO制御部7は、プロセッサ1の指令により後述の周辺装置9を制御するものであり、当該周辺装置9を直接アクセスするダイレクトメモリアクセス(DMA)の機能等を有する。上記IO制御部7は、例えば、周辺装置9から入出力終了の信号が入力されると割込みを発生して割込み信号iをプロセッサ1および後述のクロック制御部11に出力する。

【0014】周辺装置9は、例えば、磁気ディスク装置、表示装置および通信制御装置等であり、IO制御部7により制御される。

【0015】クロック制御部11は、プロセッサ1から入力されるプロセス状態信号p、システムバス3から入力されるバスビジー信号bおよび割込み信号iにตอบสนองして後述する1MHz発振器21または10MHz発振器23を選択してシステムクロックsをプロセッサ1、主メモリ5、IO制御部7に供給する。

【0016】LAN13は、システムバス3に接続されて各端末間のデータの送受信が実行される。

【0017】図2は前述したクロック制御部11の制御を示すブロック図である。

【0018】上記クロック制御部11は、クロック選択回路15、システムバス監視回路17、セクタ19、1MHz発振器21および10MHz発振器23を備えている。

【0019】クロック選択回路15は、プロセッサ1から入力されるプロセッサ状態信号p、IO制御部7から入力される割込み信号iおよびシステムバス監視回路17から入力されるバスビジー信号bによりセクタ19を制御する。上記システムバス監視回路17は、システムバス3から一定時間内に、例えば、プロセッサ1が周辺装置9と当該システムバス3を用いてデータ転送されている場合にシステムバス3から得られるバスビジー信号bを検出する。一定時間内にバスビジー信号bを検出するとシステムバス監視回路17は、クロック選択回路15に信号を出力する。

【0020】ここで、システムバス監視回路17によりシステムバス3からのバスビジー信号bを検出するための一定時間は、計算機の仕様により異なる時間である。

【0021】上記クロック選択回路15は、プロセッサ状態信号pがアイドル状態で、割込み信号iが入力されず、且つ、システムバス監視回路17からバスビジー信号bが入力されない場合にセクタ19を1MHz発振

器21に切換える。一方、プロセッサ状態信号pがビジー状態、割込み信号iの入力またはシステムバス監視回路17からの信号の入力のいずれかが入力されるとクロック選択回路15は、セクタ19を10MHz発振器23に切換える。

【0022】なお、上記クロック選択回路15は、プロセス状態信号p、割込み信号iおよびシステムバス監視回路17からの信号の論理積を取るアンド回路の構成である。

【0023】セクタ19は、クロック選択回路15の切換え制御にตอบสนองして1MHz発振器21または10MHz発振器23のクロック周波数のシステムクロックsをプロセッサ1等に出力する。

【0024】1MHz発振器21は、プロセッサ1が何れのプロセスも実行せず、IO制御部7で割込みが発生せず、且つ、データ転送もない場合に消費電力を抑えるために後述の10MHz発振器23の最高のクロック周波数の数分の1のクロック周波数でプロセッサ1等を稼働させるものである。

【0025】10MHz発振器23は、プロセッサ1がプロセスを実行している場合、プロセッサ1が周辺装置9とのデータ転送を実行している場合等にセクタ19により最高のクロック周波数をプロセッサ1等に供給するものである。

【0026】次に本実施例の作用を説明する。

【0027】まず、計算機に電源投入後、クロック制御部11のクロック選択回路15は、プロセッサ1から入力されるプロセッサ状態信号pのビジー状態またはアイドル状態、IO制御部7からの割込み信号iの入力の有無およびシステムバス監視回路17からの信号の入力の有無の論理積を取る。上記プロセッサ状態信号pがアイドル状態、割込み信号iが入力され、且つ、システムバス監視回路17から信号が入力されている場合、クロック選択回路15は、セクタ19を1MHz発振器21に切換える。セクタ19が1MHz発振器21に切換えられるとクロック制御部11は、プロセッサ1、主メモリ5およびIO制御部7に1MHzのクロック周波数のシステムクロックsを供給する。

【0028】1MHz発振器21から1MHzのクロック周波数のシステムクロックsが供給されている時、プロセッサ1がプロセスを実行した場合、IO制御部7に割込みが発生した場合またはシステムバス3がデータ転送に供用されるとクロック選択回路15は、セクタ19を10MHz発振器23に切換える。セクタ19が10MHz発振器23に切換えられるとクロック制御部11は、プロセッサ1、主メモリ5およびIO制御部7に10MHzのクロック周波数のシステムクロックsを供給する。

【0029】これにより、プロセッサ1がプロセスを実行していない場合等には10MHz発振器23の消費電

力の約10分の1の1MHz発振器21に、プロセッサ1がプロセスを実行している場合等には最高のクロック周波数の10MHz発振器23に切替えるので、装置の低消費電力化を実現できる。

【0030】また、プロセッサ1、システムバス3等の稼働状況に応答して装置を適切なクロックで動作させるため、マルチタスクのOSおよびネットワーク環境下においても、制御の煩雑化を防止できる。

【0031】本実施例は、CMOSで構成される論理回路を備えるパソコン、ワークステーションおよび各種の制御装置に適用可能である。

【0032】

【発明の効果】以上説明したように、本発明では、システムの稼働状況に応答してシステムを適切なクロックで動作させるので、マルチタスクのOSおよびネットワーク環境下において、制御の煩雑化を防止して装置の低消費電力化を図ることにより、装置の利便性および品質の向上を実現できる。

【図面の簡単な説明】

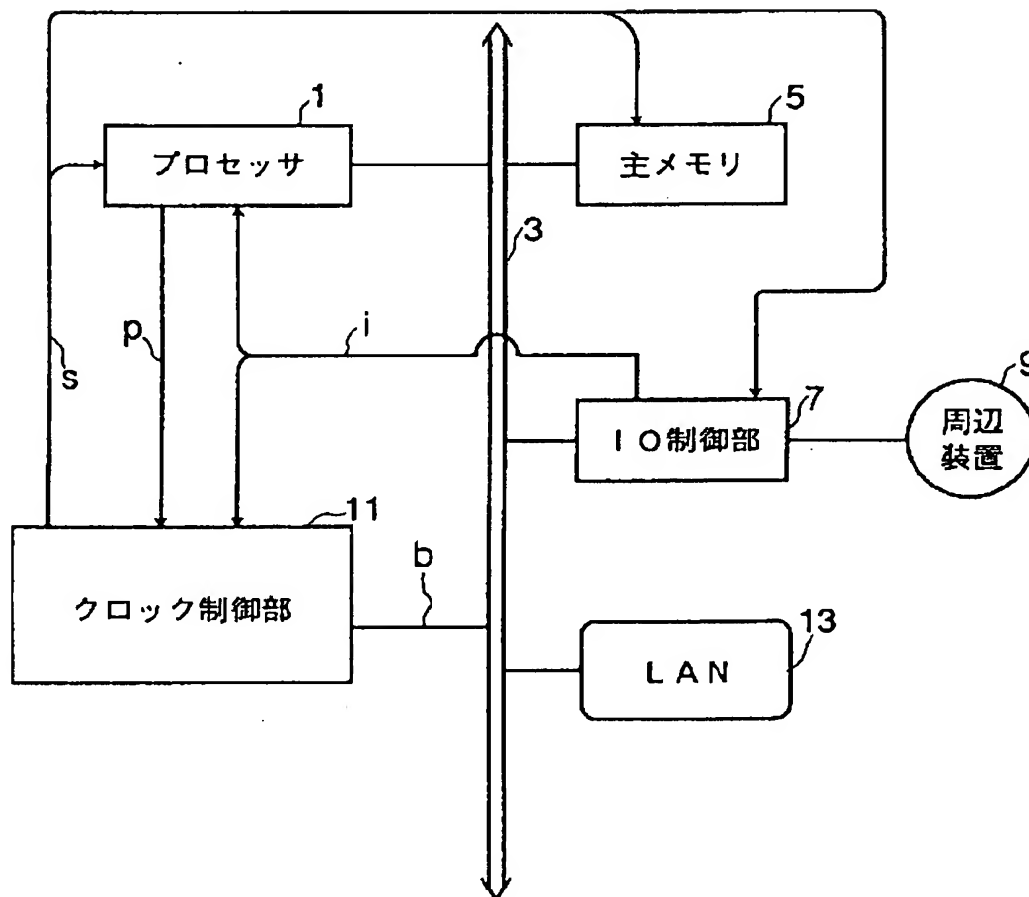
【図1】本発明の計算機の電力制御装置に係る一実施例を示す概略構成図である。

【図2】クロック制御部の制御を示すブロック図である。

【符号の説明】

- 1 プロセッサ
- 3 システムバス
- 7 IO制御部
- 11 クロック制御部
- 15 クロック選択回路
- 17 システムバス監視回路
- 19 セレクタ
- 21 1MHz発振器
- 23 10MHz発振器
- i 割り込み信号
- p プロセッサ状態信号
- s システムクロック

【図1】



【図2】

